

半導体プロセスの微細化に伴い素子特性のばらつきが回路歩留まり低下の原因として支配的になっている。素子の微細化と高集積化をさらにすすめ、これまで以上に有益な応用を生み出すには、要素回路である SRAM 回路の最適設計が特に重要である。これまで行われてきたワーストケース解析では必要以上に悲観的な見積りとなるため、モンテカルロ (MC) 法に代表される統計的解析手法が適用され始めている。MC 法では、ばらつき情報に基づいて各素子の各パラメータを乱数により決定し、SPICE シミュレーションにより不良品の判定を行う。十分なサンプル数を用いれば、正確な歩留まり解析が可能となる。しかし、SRAM メモリセルの不良は稀にしか発現しないため、正しい歩留まりを得るには膨大な計算時間を要する。たとえば 32Mbit SRAM を歩留まり 90% で製造する場合、各セルに要求される不良率は  $3 \times 10^{-9}$  以下となる。この場合、信頼区間 90%、精度 90% の時、 $3.3 \times 10^{10}$  のサンプル数が必要となる。既存の MC 法高速化手法として、図 1(a) のように不良品となるパラメータ空間 (不良領域) 付近に重点的にサンプルを発生させる、重点的サンプリング (IS) 法がある [1]。しかし、ばらつきを考慮すべきパラメータが増加して探索空間が広くなると、代替分布の適切な選択が難しく、精度の悪化や解析時間の増大を招く等の課題があった。

以上のような背景のもと、本研究室では、逐次重点的サンプリングによる歩留まり解析の高速化手法を提案している [2]。この手法では、不良の起こりやすさに応じた粒子 (サンプル) 配置を乱択プロセスにより逐次的・適応的に得るため、図 1(b) のようにメモリセルの不良領域の分布に従うサンプルを用いて IS を行うことができる。不良領域のみを辿って回路歩留まりへの寄与が大きい領域を見つけ、その歩留まりへの寄与に応じたサンプルを発生できることから、低不良率ならびに高次元の場合にも効率の良い解析が可能となる。

図 2 のような 6 トランジスタ SRAM の不良率解析に提案手法を適用した。全てのトランジスタの閾値電圧をばらつきパラメータとする場合 (6 変数) について、本手法と手法 [1] の比較結果を図 3 に示す。横軸は SPICE の実行回数、縦軸は不良率であり、少ない回数、すなわち図の左の方で収束を得るほど、早く歩留まりが計算できることを意味する。手法 [1] については、IS に用いる代替分布算出に用いるサンプル数として  $10^4$  と  $10^5$  の 2 通りとしている。

提案手法では  $10^4$  回の SPICE 実行で  $3 \times 10^{-9}$  という正確な不良率が得られた。この結果は、一般的な MC 法に対し  $3.3 \times 10^6$  倍の高速化に相当する。また、手法 [1] に対しても 50 倍以上高速である。さらに、手法 [1] では低不良率や高次元の場合に探索すべき空間が指数関数的に大きくなるため対応できなくなるのに対し、提案手法では、閾値電圧に加えてゲート長、酸化膜厚、キャリア移動度もばらつきパラメータとする 24 変数の場合でも正しく歩留まりが求められる。今後の課題としては、提案手法における粒子の初期配置決定手法の検討や SRAM 以外への応用が考えられる。

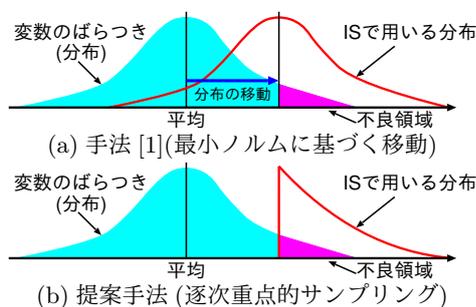


図 1: 重点的サンプリング

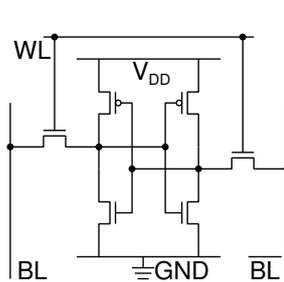


図 2: SRAM メモリセル

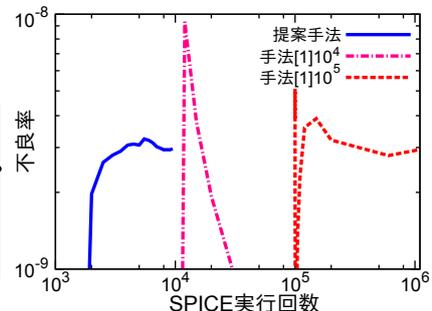


図 3: 提案手法と手法 [1] の比較

参考文献

[1] L. Dolecek, M. Qazi, D. Shah, and A. Chandrakasan, “Breaking the simulation barrier: SRAM evaluation through norm minimization,” in *Proc. ICCAD*, Nov. 2008, pp. 322–329.  
 [2] K. Katayama, S. Hagiwara, H. Tsutsui, H. Ochi, and T. Sato, “Sequential importance sampling for low-probability and high-dimensional SRAM yield analysis,” in *Proc. ICCAD*, Nov. 2010, pp. 703–708.